

5/9/16 (Item 8 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2006 JPO & JAPIO. All rts. reserv.

04847887 **Image available**
PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 07-140487 [JP 7140487 A]
PUBLISHED: June 02, 1995 (19950602)
INVENTOR(s): AOTA MASAACKI
YOSHIZAKO KEIZO
APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 05-285045 [JP 93285045]
FILED: November 15, 1993 (19931115)
INTL CLASS: [6] G02F-001/136; H01L-029/786
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors)

ABSTRACT

PURPOSE: To prevent a short circuit of display electrodes and auxiliary capacitance electrodes even if a pinhole exists in a dielectric layer by subjecting the surface of the transparent conductive film exposed by etchant to slight etching in stages after a stage for forming the transparent conductive film.

CONSTITUTION: A gate metal is laminated on a transparent substrate and after gate electrodes and the auxiliary capacitance electrodes 12 are formed by etching the patterns of gate wirings, an insulating film 13, a-Si 14 and Si-N(sub x) are successively laminated. In succession, a-Si 16 doped by phosphorus is laminated and is etched to allow the a-Si to remain in TFT parts, by which channel contact layers are formed. An ***ITO*** 17 as the ***transparent*** electrode material is then laminated and display electrodes 17P are formed by patterning display pixels by photoetching. Further, the ITO 17 is subjected to slight etching of 1/4 to 1/2 the film thickness of the ITO separately from patterning to the display electrodes 17P after formation of the ITO film, by which the ITO formed in the pinhole 21 is removed and the connection of the display electrodes 17P and the auxiliary capacitance electrode 13 is broken.

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-140487

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
H 0 1 L 29/786		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平5-285045

(22) 出願日 平成5年(1993)11月15日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 菅田 雅明

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 吉迫 圭三

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

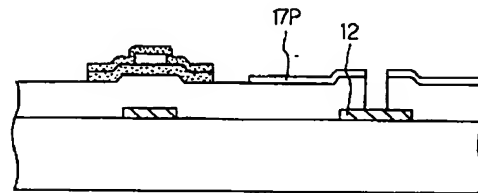
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】 (修正有)

【目的】 液晶表示装置の製造方法において欠陥防止処理を改善して、歩留まりの向上を計る。

【構成】 ITOの成膜後に、ITOのエッチャントによるスライエッチングを行い、絶縁膜のピンホール欠陥中のITOを除去し、表示電極17Pと補助容量電極12の短絡を防止する。



【特許請求の範囲】

【請求項1】 基板上に第1のメタルを積層する工程と、該第1のメタルをパターニングする工程と、該第1のメタルを覆って絶縁膜を形成する工程と、該絶縁膜上に半導体層を形成する工程と、該半導体層をパターニングする工程と、該半導体層を覆って前記絶縁膜上に透明導電膜を形成する工程と、該透明導電膜をフォトエッチによりパターニングする工程と、該透明導電膜及び前記半導体層を覆って前記絶縁膜上に第2のメタルを積層する工程と、該第2のメタルをパターニングする工程とを有する液晶表示装置の製造方法において、前記透明導電膜を形成する工程以降に、前記透明導電膜のエッチャントで露出した前期透明導電膜の表面をスライエッチングする工程が設けられたことを特徴とする液晶表示装置の製造方法。

【請求項2】 前記スライエッチングは、前記透明導電膜の膜厚の $1/4 \sim 1/2$ のエッチング量で行われることを特徴とする請求項1記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置の製造方法に関し、特に、欠陥処理を改善した液晶表示装置の製造方法に関する。

【0002】

【従来の技術】液晶表示装置は小型、薄型、低消費電力などの利点があり、OA機器、AV機器などの分野で実用化が進んでいる。特に、スイッチング素子として、薄膜トランジスタ（以下、TFTと略す）を用いたアクティブマトリクス型は精細な動画表示が可能であり、TV用ディスプレイ等に使用されている。

【0003】アクティブマトリクス型液晶表示装置は、TFTと接続した表示電極がマトリクス状に配置された基板と、共通電極を有する基板が、液晶層を挟んで貼り合わされた構造になっている。TFTは、表示電極への入力データ信号を選択するスイッチング素子であり、チャンネル層として、アモルファスシリコンやポリシリコンを用いたFETである。ゲート電極及びドレイン電極は、それぞれゲートライン及びドレインラインに接続されており、ソース電極は表示電極に接続されている。表示電極及び共通電極は、例えば酸化インジウムと酸化スズの混合物（以下、ITOと略する）で形成した透明電極である。

【0004】ゲートライン群は線順次に走査されて、同一行のTFTを全てONにすると同時に、走査信号に同期したデータ信号が表示電極に入力される。共通電極もまた、走査信号に同期して電位が設定されて、表示電極との間隙の液晶層へ所望の実効電圧を印加することにより液晶を駆動し、画素ごとに光の透過率が調節される。液晶の駆動状態は、TFTのOFFにより1フレーム期

間、液晶容量に蓄積された電荷によって保持され、次フレームで交流反転して書き換えられる。

【0005】液晶の駆動状態は、液晶容量と並列に補助容量を設置し、電荷の保持特性を改善することにより向上される。補助容量は、表示電極を共通として、独立の電極を対向配置して共通電極と同電位に設定するか、ゲートラインの一部を延在して重畳配置することにより形成される。また、補助容量は、TFTの動作時に生ずる表示電極電位のシフトを抑制する作用がある。即ち、製造プロセスの制約上余儀なくされるソース・ゲート電極の重畳部で、TFTのON/OFFに伴って寄生容量の発生消失が起こる。そのため、補助容量の並列付加によって全容量値を増大させることにより、寄生容量による直流成分の表示電極電位への影響を緩和する。

【0006】

【発明が解決しようとする課題】補助容量を付加することにより、誘電層にピンホールなどの膜欠陥があった場合、両電極が短絡する問題がある。即ち、下側電極、誘電層、上側電極を順次形成していく際、誘電層に異物が存在した場合、後に続くフォトエッチ工程で、異物が脱離してピンホールとなる。この上に上側電極を形成すると、ピンホール内に電極材料が進入生成されて、上下電極が短絡する。例えば、上側の表示電極のITOが、下側の補助容量電極に接続されると、表示電極が共通電極またはゲート電極と同電位になり、液晶層へ実効電圧を印加することができず、所望の表示が得られなくなる。

【0007】

【課題を解決するための手段】本発明は前述の課題に鑑みて成され、基板上に第1のメタルを積層する工程と、該第1のメタルをパターニングする工程と、該第1のメタルを覆って絶縁膜を形成する工程と、該絶縁膜上に半導体層を形成する工程と、該半導体層をパターニングする工程と、該半導体層を覆って絶縁膜上に透明導電膜を形成する工程と、該透明導電膜をフォトエッチによりパターニングする工程と、該透明導電膜及び前記半導体層を覆って前記絶縁膜上に第2のメタルを積層する工程と、該第2のメタルをパターニングする工程とを有する液晶表示装置の製造方法において、前記透明導電膜を形成する工程以降に、露出された前記透明導電膜を、前記透明導電膜の膜厚の $1/4 \sim 1/2$ のエッチング量でスライエッチングする工程が設けられた構成である。

【0008】

【作用】一般に、絶縁膜中に異物が存在する場合、続くパターン形成のエッチングやフォトリソの剥離の際に異物が脱離してピンホールとなり、ピンホール内に上側電極材料が進入生成すると上下電極のショートにつながる。補助容量の場合、上側の表示電極であるITOは、膜厚が500～1000Å程度に対して、誘電層は4倍の2000～4000Å程度である。そのため、ピンホール内では、特に側壁部においてITOは表示電極

3

部より薄く形成されるので、ITOの成膜後に、ITOの膜厚の $1/4 \sim 1/2$ のエッチング量でスライトエッチングを行うことにより、ピンホール内のITOが除去されて、表示電極と補助容量電極の接続が断絶される。【0009】

【実施例】続いて、本発明の実施例を、図1から図6を用いて説明する。図では特に、本発明の作用効果を明瞭にするために、補助容量部に異物によるピンホールが生じた場合を図示している。透明基板(10)上にゲート金属として、例えばCrをスパッタリングなどにより1500Å程度の厚さに積層し、ゲート配線のパターンにエッチングすることにより、ゲート電極(11)及び補助容量電極(12)が形成される(以上、図1参照)。補助容量電極(12)は独立の電極でも、ゲートラインと一体の電極でも良い。次に、ゲート絶縁膜及び補助容量の誘電膜に共通の絶縁膜(13)として、例えばSiNxをプラズマCVDにより2000~4000Å程度の厚さに積層する。このとき、補助容量電極(12)上に異物(20)が付着したとすると、絶縁膜(13)は異物(20)を含んで成長する。引き続き、プラズマCVDでa-Si(14)を1000Å程度、SiNxを2500Å程度の厚さに順次積層する。a-Si(14)はTFTのチャンネル層、最上層のSiNxはフォトリソで、ゲート電極(11)に対応する部分に残すことによりエッチングストッパー(15)となる(以上、図2参照)。続いて、コンタクト向上のため燐によりドーパされたa-Si(以下、N⁺a-Siと略す)(16)をプラズマCVDにより500Å程度の厚さに積層する。このN⁺a-Si(16)及びa-Si(14)を同一マスクによるエッチングでTFT部に残すことにより、チャンネル・コンタクト層が形成される。以上の工程で、SiNxやa-Siのパターニングの際、不要部分の除去やレジスト膜の剥離により、異物が脱離して、その部分がピンホール(21)となる(以上、図3参照)。

【0010】次に、透明電極材料としてITO(17)をスパッタリングなどにより、500~1000Å程度の厚さに積層する。この時ピンホール(21)内にもITOが生成して、下部の補助容量電極(12)に短絡接続される(以上、図4参照)。ITO(17)はフォトリソによる表示画素のパターニングで表示電極(17P)に形成される。ITO(17)の成膜後、表示電極(17P)へのパターニングと別に、ITOのスライトエッチを、例えばエッチング時間を調整することによりITOの膜厚の $1/4$ のエッチング量で行う。これにより、ピンホール内に生成したITOを除去して、表示電極(17P)と補助容量電極(12)の接続が断絶される。例えば、ITO(17)の膜厚が1000Åの場合、スライトエッチにより750Å程度にまで薄くなると同時に、ピンホール内のITOは完全に除去される

4

(以上、図5参照)。スライトエッチのエッチング量は、表示電極(17P)の機能を損なうことなく、かつ、ピンホール内のITOを除去する目的で設定するため、ITO(17)の膜厚の $1/4 \sim 1/2$ の許容範囲を有している。本実施例では、絶縁膜(13)の膜厚が2000~4000Å程度、ITO(17)の膜厚が500~1000Å程度にされているため、この場合スライトエッチ量は、実験的に $1/4$ が適している。尚、スライトエッチはITO(17)の成膜後の表示電極(17P)へのパターニング前に行っても、パターニング後に行ってもよい。

【0011】続いて、ソース・ドレイン金属として、例えば、上層が7000ÅのAl、下層が1000ÅのMoとなる2層膜を、スパッタリングなどにより積層し、ソース・ドレイン配線のパターンにエッチングすることにより、ソース電極(18)及びドレイン電極(19)が形成される。最後に両電極(18, 19)をマスクにN⁺a-Si(16)のセンター部が除去される(以上、図6参照)。

【0012】なお、ITO(17)のスライトエッチングは、ソース・ドレインのパターン形成後、表示電極が露出された状態で行っても、同様の効果がある。

【0013】

【発明の効果】以上の説明から明らかな如く、ITOの成膜後に、ITOの膜厚の $1/4 \sim 1/2$ のスライトエッチングを行うことにより、誘電層中にピンホールが存在しても、ピンホール内のITOが除去されて、表示電極と補助容量電極の短絡が切断される。

【図面の簡単な説明】

【図1】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図2】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図3】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図4】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図5】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【図6】本発明の実施例である液晶表示装置の製造方法を説明する断面図である。

【符号の説明】

- 10 透明基板
- 11 ゲート電極
- 12 補助容量電極
- 13 絶縁膜
- 14 a-Si
- 15 エッチングストッパー
- 16 N⁺a-Si
- 17 ITO

(4)

特開平7-140487

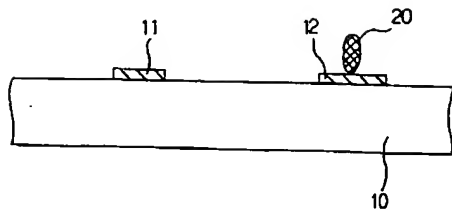
5

6

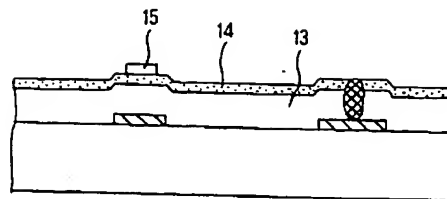
18 ソース電極
19 ドレイン電極

20 異物
21 ピンホール

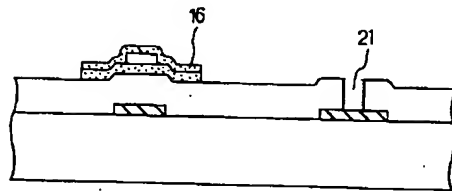
【図1】



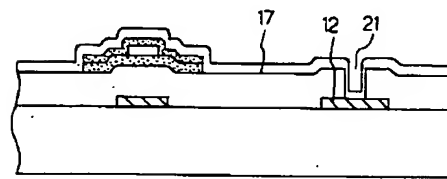
【図2】



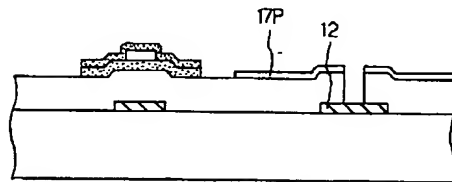
【図3】



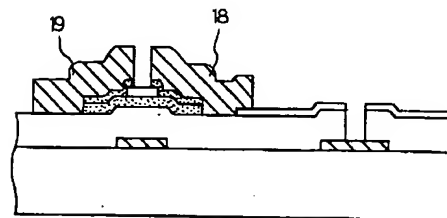
【図4】



【図5】



【図6】



Disclaimer:

This English translation is produced by machine translation and may contain errors. The JPO, the NCIP, and those who drafted this document in the original language are not responsible for the result of the translation.

Notes:

1. Untranslatable words are replaced with asterisks (****).
2. Texts in the figures are not translated and shown as it is.

Translated: 22:09:29 JST 05/30/2006

Dictionary: Last updated 05/26/2006 / Priority:

CLAIMS

[Claim(s)]

[Claim 1] The process which laminates the 1st metal on a substrate, and the process which patterns this 1st metal, The process which covers this 1st metal and forms an insulating film, and the process which forms a semiconductor layer on this insulating film, The process which patterns this semiconductor layer, and the process which covers this semiconductor film and forms a transparent electric conduction film on said insulating film, this transparent electric conduction film -- a photograph -- [process / the process patterned more dirtily and / which covers this transparent electric conduction film and said semiconductor film, and laminates the 2nd metal on said insulating film] In the manufacture method of a liquid crystal display of having the process which patterns this 2nd metal The manufacture method of the liquid crystal display characterized by establishing the process which carries out SURAITO etching of the surface of the transparent [in the first half] electric conduction film exposed by etchant of said transparent electric conduction film after the process which forms said transparent electric conduction film.

[Claim 2] It is the manufacture method of the liquid crystal display according to claim 1 characterized by performing said SURAITO etching in the amount of etching of $1/4 - 1/2$ of the film thickness of said transparent electric conduction film.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the manufacture method of a liquid crystal display of having improved defective processing, about the manufacture method of a liquid crystal display.

[0002]

[Description of the Prior Art] A liquid crystal display has advantages, such as small size, a thin shape, and low power consumption, and utilization is progressing in fields, such as OA equipment and AV equipment. Minute animation display is possible for especially the active matrix type using the thin-film transistor (it abbreviates to TFT hereafter) as a switching element, and it is used for the display for TV etc.

[0003] The active matrix type liquid crystal display has the structure where the substrate by which the display electrode linked to TFT has been arranged in the shape of a matrix, and the substrate which has a common electrode were stuck on both sides of the liquid crystal layer. TFT is a SUICHINGU element which chooses the input data signal to a display electrode, and is FET using amorphous silicone and polysilicon as a channel layer. The gate electrode and the drain electrode are connected to the gate line and the drain line, respectively, and the source electrode is connected to the display electrode. A display electrode and a common electrode are transparent electrodes formed, for example by the mixture (it abbreviates to ITO hereafter) of indium oxide and tin oxide.

[0004] A gate line group is scanned by line sequential, and the data signal which synchronized with the scanning signal is inputted into a display electrode at the same time it turns ON all TFT(s) of the same line. Potential is set up synchronizing with a scanning signal, by impressing desired effective voltage to the liquid crystal layer of a gap with a display electrode, a common electrode also drives a liquid crystal and the transmissivity of light is adjusted for it for every pixel. The drive state of a liquid crystal is held by the electric charge accumulated in an one-frame period and liquid crystal capacity by OFF of TFT, with the following frame, carries out exchange reversal and is rewritten.

[0005] The drive state of a liquid crystal installs auxiliary capacity in liquid crystal capacity and parallel, and improves by improving the maintenance characteristic of an electric charge. Auxiliary capacity is formed by carrying out opposite arrangement of the independent electrode, using a display electrode as common, setting it as a common electrode and same electric potential, or extending and carrying out superposition arrangement of a part of gate line. Moreover, auxiliary capacity has the operation which controls the shift of the display electrode potential produced at the time of operation of TFT. that is, in the superposition part of the source gate electrode to which it is obliged on restrictions of a manufacture process, it is alike, it follows on ON/OFF of TFT, and generating disappearance of parasitic capacitance takes place. Therefore, the influence of the display electrode potential on the direct-current ingredient by parasitic capacitance is eased by increasing the amount value of whole picture by parallel addition of auxiliary capacity.

[0006]

[Problem to be solved by the invention] When a dielectric layer has film defects, such as a pinhole, by adding auxiliary capacity, there is a problem which two electrodes short-circuit.

That is, when forming the bottom electrode, the dielectric layer, and the top electrode one by one and a foreign substance exists in a dielectric layer, at the following photograph dirty process, a foreign substance ****s and it becomes a pinhole. If a top electrode is besides formed, penetration generation of the electrode material will be carried out into a pinhole, and an up-and-down electrode will short-circuit. For example, if ITO of an upper display electrode is connected to a lower auxiliary capacity electrode, a display electrode will become a common electrode or a gate electrode, and same electric potential, and effective voltage cannot be impressed to a liquid crystal layer, but a desired display will no longer be obtained.

[0007]

[Means for solving problem] The process which accomplishes this invention in view of the above-mentioned technical problem, and laminates the 1st metal on a substrate, The process which patterns this 1st metal, and the process which covers this 1st metal and forms an insulating film, The process which forms a semiconductor layer on this insulating film, and the process which patterns this semiconductor layer, the process which covers this semiconductor layer and forms a transparent electric conduction film on an insulating film, and this transparent electric conduction film -- a photograph -- [process / which is patterned more dirtily] In the manufacture method of a liquid crystal display of having the process which covers this transparent electric conduction film and said semiconductor layer, and laminates the 2nd metal on said insulating film, and the process which patterns this 2nd metal It is the composition that the process which carries out SURAITO dirty [of said transparent electric conduction film exposed after the process which forms said transparent electric conduction film] in the amount of etching of $1/4 - 1/2$ of the film thickness of said transparent electric conduction film was established.

[0008]

[Function] Generally, when a foreign substance exists in an insulating film, a foreign substance breaks away in the case of etching of the continuing pattern formation, or exfoliation of photoresist, and it becomes a pinhole, and if top electrode material carries out penetration generation into a pinhole, it will lead to short-circuit of an up-and-down electrode. In the case of auxiliary capacity, as for ITO which is an upper display electrode, film thickness of a dielectric layer is 4-time-as many about 2000-4000Å as this to about 500-1000Å. Therefore, since ITO is formed in a side wall part especially within a pinhole more thinly than a display electrode part After membrane formation of ITO, by performing SURAITO etching in the amount of etching of $1/4 - 1/2$ of the film thickness of ITO, ITO in a pinhole is removed and connection of a display electrode and an auxiliary capacity electrode is severed.

[0009]

[Working example] Then, the example of this invention is explained using drawing 6 from drawing 1 . In order to make the operation effect of this invention clear especially by a diagram,

the case where the pinhole by a foreign substance arises in an auxiliary capacity part is illustrated. On a transparent board (10), as a gate metal, Cr is laminated in thickness of about 1500Å by sputtering etc., for example, and a gate electrode (11) and an auxiliary capacity electrode (12) are formed by etching into the pattern of gate wiring (refer to drawing 1 above). An independent electrode or the electrode of a gate line and one is sufficient as an auxiliary capacity electrode (12). Next, SiNX is laminated in thickness of about 2000-4000Å by Plasma CVD, for example as gate dielectric film and an insulating film (13) common to the dielectric film of auxiliary capacity. Supposing a foreign substance (20) adheres on an auxiliary capacity electrode (12) at this time, an insulating film (13) will grow including a foreign substance (20). Then, with Plasma CVD, a-Si (14) is laminated to about 1000Å, and SiNX is laminated one by one in thickness of about 2500Å. a-Si (14) -- SiNX of the channel layer of TFT, and the top layer -- a photograph -- it becomes an etching stopper (15) by leaving the portion corresponding to [it is dirty and] a gate electrode (11) (refer to drawing 2 above). Then, a-Si (it abbreviates to N+a-Si hereafter) (16) doped by phosphorus for the improvement in contact is laminated in thickness of about 500Å by Plasma CVD. A channel contact layer is formed by leaving this N+a-Si (16) and a-Si (14) to the TFT section by etching with the same mask. At the above process, in the case of patterning of SiNX or a-Si, a foreign substance ****s and the portion serves as a pinhole (21) by removal of an unnecessary portion, or exfoliation of a resist film (refer to drawing 3 above).

[0010] Next, ITO (17) is laminated in thickness of about 500-1000Å by sputtering etc. as a transparent electrode material. At this time, ITO generates also in a pinhole (21), and short circuit connection is made at a lower auxiliary capacity electrode (12) (refer to drawing 4 above). ITO (17) -- a photograph -- it is formed in a display electrode (17P) by patterning of the display pixel depended dirtily. SURAITOETCHI of ITO is performed in one fourth of the amount of etching of the film thickness of ITO by adjusting etching time, for example apart from patterning to a display electrode (17P) after membrane formation of ITO (17). This removes ITO generated in the pinhole and connection of a display electrode (17P) and an auxiliary capacity electrode (12) is severed. for example, the case where the film thickness of ITO (17) is 1000Å -- SURAITO -- while becoming thin [to about 750Å] dirty more, ITO in a pinhole is removed completely (refer to drawing 5 above). SURAITO -- in order to remove ITO in a pinhole and to set up the dirty amount of etching, without spoiling the function of a display electrode (17P), it has the tolerance level of $1/4 - 1/2$ of the film thickness of ITO (17). In this example, since about 2000-4000Å and the film thickness of ITO (17) are the film thickness of the insulating film (13) about 500-1000Å, as for SURAITO dirty quantity, one fourth is experimentally suitable in this case. In addition, before patterning to the display electrode (17P) after membrane formation of SURAITO dirty ** ITO (17), it may carry out, or you may carry out after patterning.

[0011] When [then,] the upper layer laminates aluminum which is 7000A, and the two-layer film with which a lower layer becomes by Mo which is 1000A by sputtering etc. and etches them into the pattern of source drain wiring as a source drain metal, for example A source electrode (18) and a drain electrode (19) are formed. Finally the center part of N+a-Si (16) is removed by the mask in two electrodes (18, 19) (refer to drawing 6 above).

[0012] In addition, where a display electrode is exposed SURAITO etching of ITO (17) after the pattern formation of a source drain, even if it performs, there is same effect.

[0013]

[Effect of the Invention] After membrane formation of ITO, even if a pinhole exists in a dielectric layer by performing SURAITO etching of $1/4 - 1/2$ of the film thickness of ITO, ITO in a pinhole is removed and the short circuit of a display electrode and an auxiliary capacity electrode is cut, so that clearly from the above explanation.

[Translation done.]

Disclaimer:

This English translation is produced by machine translation and may contain errors. The JPO, the NCIP, and those who drafted this document in the original language are not responsible for the result of the translation.

Notes:

1. Untranslatable words are replaced with asterisks (****).
2. Texts in the figures are not translated and shown as it is.

Translated: 22:41:09 JST 05/30/2006

Dictionary: Last updated 05/26/2006 / Priority:

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view explaining the manufacture method of the liquid crystal display which is the example of this invention.

[Drawing 2] It is a sectional view explaining the manufacture method of the liquid crystal display which is the example of this invention.

[Drawing 3] It is a sectional view explaining the manufacture method of the liquid crystal display which is the example of this invention.

[Drawing 4] It is a sectional view explaining the manufacture method of the liquid crystal display which is the example of this invention.

[Drawing 5] It is a sectional view explaining the manufacture method of the liquid crystal display which is the example of this invention.

[Drawing 6] It is a sectional view explaining the manufacture method of the liquid crystal display which is the example of this invention.

[Explanations of letters or numerals]

10 Transparent Board

11 Gate Electrode

12 Auxiliary Capacity Electrode

13 Insulating Film I

14 a-Si

15 Etching Stopper

16 N+a-Si

17 ITO

18 Source Electrode

19 Drain Electrode

20 Foreign Substance

21 Pinhole

[Translation done.]